

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-111100

(43)Date of publication of application : 30.04.1996

(51)Int.Cl.

G11C 29/00
G11C 11/401

(21)Application number : 07-189589

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 25.07.1995

(72)Inventor : TAKANO HIROSHI

(30)Priority

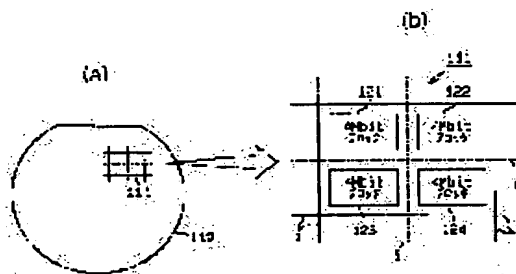
Priority number : 06192559 Priority date : 16.08.1994 Priority country : JP

(54) STORAGE DEVICE

(57)Abstract:

PURPOSE: To obtain a storage device capable of improving the yield.

CONSTITUTION: A 16 M bit DRAM 111 is constituted of four adjacent 4 M bit blocks (4 M bit DRAMs) 121 to 124. Then, circuits of above described execution patterns are built-up in every block of 121 to 124 and the relief of defective address is individually performed in respective blocks 121 to 124. In the case where respective blocks 121 to 124 are all relievable (nondefective), blocks are isolated by solid lines α and then pads other than input/output(I/O) pads in respective blocks 121 to 124 are connected to blocks at an assembly stage. Thus, the 16 M bit DRAM 111 in which respective blocks are combined is made to be a product.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-111100

(43) 公開日 平成8年(1996)4月30日

(51) Int.Cl.⁶

G 1 1 C 29/00
11/401

識別記号

3 0 1 B 9459-5L

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/34

3 7 1 D

審査請求 未請求 請求項の数 3 O L (全 15 頁)

(21) 出願番号 特願平7-189589

(22) 出願日 平成7年(1995)7月25日

(31) 優先権主張番号 特願平6-192559

(32) 優先日 平6(1994)8月16日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 高野 洋

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

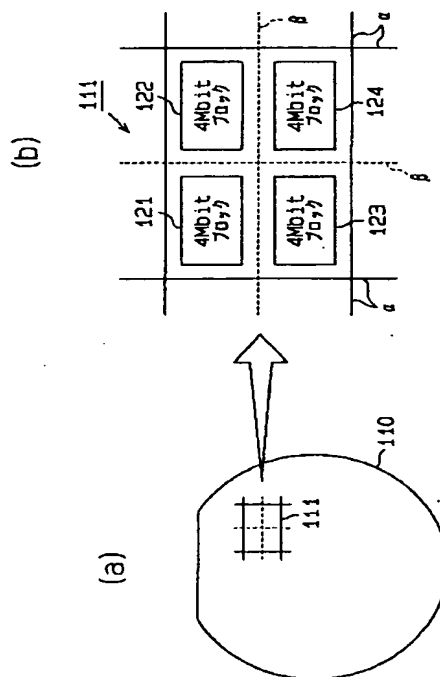
(74) 代理人 弁理士 恩田 博宜

(54) 【発明の名称】 記憶装置

(57) 【要約】

【課題】 歩留りを向上させることが可能な記憶装置を提供する。

【解決手段】 16MビットDRAM111は、隣合う4つの4Mビットブロック(4MビットDRAM)121~124によって構成されている。そして、各ブロック121~124毎に上記実施形態の回路が組み込まれており、各ブロック121~124で個別に不良アドレスの救済が行われる。各ブロック121~124が全て救済可能(良品)であった場合には、実線αで切り離し、各ブロック121~124における入出力(I/O)パッド以外のパッドを組み立て段階で接続する。これにより、各ブロック121~124を組み合わせた16MビットDRAM111として製品化することができる。



1

【特許請求の範囲】

【請求項 1】 ウェハ上に配置された隣合う任意の数のマクロブロックを組み合わせることで所定の記憶容量を得る記憶装置。

【請求項 2】 ウェハ上に配置された隣合う任意の数のマクロブロックを組み合わせることで所定の記憶容量を得ると共に、組み合わせる各マクロブロック間を予め配線で接続しておく記憶装置。

【請求項 3】 ウェハ上に配置された隣合う任意の数のマクロブロックを組み合わせることで所定の記憶容量を得ると共に、組み合わせる各マクロブロック間でパッドまたは周辺回路の少なくとも一部を共有化させておく記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は記憶装置に係り、詳しくは、半導体記憶装置（特に DRAM (Dynamic Random Access Memory)）に関するものである。

【0002】

【従来の技術】 半導体記憶装置の大容量化および高集積化に伴い、不良ビット（欠陥のある不良なメモリセル）が全く存在しないメモリセルアレイを製造することが困難になってくる。特に、新しい回路技術を用いて開発されたメモリの量産時には、初期ロットの欠陥レベルが高くなるため、歩留りが低くなってしまふ。しかし、数個の不良ビットがあるために、そのメモリセルアレイを不良品として破棄することは経済的ではない。

【0003】 そこで、正規のメモリセルアレイに予備のメモリセル用の行や列を適宜な本数だけ予め加えておき、それらと不良なメモリセルが存在する行や列とを入れ替える技術が研究されてきた。この技術により、不良ビットに対応するアドレスが外部から指定された際でも正常な動作が可能になり、不良アドレスの救済がなされる。一般に、この技術を「冗長回路技術」と呼び、その予備の行や列を「冗長な行や列」と呼んでいる。

【0004】 図 6 は、冗長な列をもつ従来の DRAM の基本構成を示すブロック回路図である。DRAM は、マトリクス状のメモリセルアレイ 51 を中心に構成されている。メモリセルアレイ 51 は、行方向と列方向に配列されたメモリセル 52 から構成されている。各メモリセル 52 には記憶の最小単位である 1 ビットのデータが記憶される。メモリセルアレイ 51 のうち、行方向（図 3 では横方向）に配列された各メモリセル 52 はワード線 WL に接続され、列方向（図 3 では縦方向）に配列された各メモリセル 52 はビット線 BL または反転ビット線バー BL に接続されている。1 本のビット線 BL にはそれに対応する 1 本の反転ビット線バー BL が設けられ、その対応関係にあるビット線 BL と反転ビット線バー BL とで、1 組のビット線対 BL、バー BL が構成されている。そして、各ビット線対 BL、バー BL は、クロスカップルラッチ形の各

2

センスアンプ（SA）53 に接続されている。各ビット線対 BL、バー BL において、ビット線 BL と反転ビット線バー BL の信号レベルは相補的に変化する。

【0005】 メモリセルアレイ 51 は、正規のメモリセル領域 51a と冗長なメモリセル領域 51b とに分けられている。冗長なメモリセル領域 51b には、1 組のビット線対 BL、バー BL が割り当てられている。その 1 組のビット線対 BL、バー BL に接続された各メモリセル 52 によって、冗長な 1 本の列が構成されている。

【0006】 各ワード線 WL は行デコーダ 54 に接続されている。外部から行アドレスが指定されると、その行アドレスは、行アドレスバッファ 55 を介して行デコーダ 54 へ与えられる。すると、行デコーダ 54 によって、その行アドレスに対応するワード線 WL が選択される。

【0007】 各センスアンプ 53 は、各トランスファークゲート 56 を介して入出力線 I/O および反転入出力線バー I/O に接続されている。入出力線 I/O および反転入出力線バー I/O はリードアンプ（RA）57 に接続されている。リードアンプ 57 は、データバス DB および反転データバスバー DB を介してデータの出力回路 58 に接続されている。尚、入出力線 I/O と反転入出力線バー I/O、データバス DB と反転データバスバー DB のレベルはそれぞれ相補的に変化する。そして、出力回路 58 から外部へデータが出力される。

【0008】 各トランスファークゲート 56 のうち、正規のメモリセル領域 51a に対応する各トランスファークゲート 56 は、列選択線 CSL を介して列デコーダ 59 に接続されている。各トランスファークゲート 56 は、入出力線 I/O および反転入出力線バー I/O とセンスアンプ 53 との間に接続された一対の NMOS トランジスタによって構成されている。各トランスファークゲート 56 は、1 本の列選択線 CSL を介して列デコーダ 59 に接続されている。従って、列選択線 CSL が H レベルになると、トランスファークゲート 56 を構成する一対の NMOS トランジスタがオンし、トランスファークゲート 56 はオン状態になる。

【0009】 以下、説明を分かりやすくするため、冗長なメモリセル領域 51b のビット線対 BL、バー BL に接続されたセンスアンプ 53 を「センスアンプ 53b」と表記し、そのセンスアンプ 53b に接続されたトランスファークゲート 56 を「トランスファークゲート 56b」と表記する。

【0010】 トランスファークゲート 56b は冗長列選択線 RCSL を介して冗長列ドライバ 60 に接続されている。従って、冗長列選択線 RCSL が H レベルになると、トランスファークゲート 56b を構成する一対の NMOS トランジスタがオンし、トランスファークゲート 56b はオン状態になる。

【0011】 外部から列アドレスが指定されると、その列アドレスは、列アドレスバッファ 61 から列デコーダ

3

59、アドレス・トランジション・デテクタ (ATD) 62およびスベアデコーダ63へ与えられる。

【0012】ATD62は、列アドレスの変化を検知して外部から列アドレスが指定されたことを検知し、1パルスのパルス信号ATD1を生成する。そのパルス信号ATD1は、スベアデコーダ63および遅延回路64へ出力される。すなわち、列アドレスが変化する度に、パルス信号ATD1が生成されるわけである。

【0013】遅延回路64は、パルス信号ATD1を所定の時間だけ遅延させた1パルスのパルス信号ATD2を生成する。そのパルス信号ATD2は、列デコーダ59および冗長列ドライバ60へ出力される。

【0014】スベアデコーダ63内にはヒューズ素子等の不揮発性の素子が設けられており、その不揮発性素子によって、不良なメモリセル52の列アドレスが記憶されている。DRAMのメーカは、DRAMの出荷前に、正規のメモリセル領域51a内に不良なメモリセル52があるかどうかを検査する。そして、DRAMのメーカは、不良なメモリセル52があった場合には、その不良なメモリセル52の列アドレスをスベアデコーダ63に記憶させておく。

【0015】スベアデコーダ63は、パルス信号ATD1が入力されると活性化し、記憶している不良なメモリセル52の列アドレスと外部から指定された列アドレスとを比較する。スベアデコーダ63は、両列アドレスが一致すると、HまたはLのいずれかのレベルの冗長信号RSを生成する。その冗長信号RSは、列デコーダ59および冗長列ドライバ60へ出力される。

【0016】すなわち、列アドレスが変化する度に、スベアデコーダ63により、冗長（不良なメモリセル52の列アドレスが外部から指定された場合）か非冗長（正規のメモリセル領域51a内に不良なメモリセル52がない場合や、不良なメモリセル52の列アドレスと外部から指定された列アドレスとが異なる場合）かが判定されているわけである。

【0017】列デコーダ59は、冗長信号RSとパルス信号ATD2とに従って活性化し、外部から指定された列アドレスに対応するメモリセルアレイ51の列（1組のビット線対BL、バーBL）を選択する。すなわち、列デコーダ59は、HまたはLのいずれか一方のレベルの冗長信号RSが入力されると活性スタンバイ状態になり、その後、パルス信号ATD2が入力された時点で活性化する。そして、列デコーダ59は、活性化すると、外部から指定された列アドレスに対応する列選択線CSLを選択し、その列選択線CSLをHレベルにする。すると、その列選択線CSLに接続されているトランスファークゲート56がオン状態になる。従って、そのトランスファークゲート56に対応するセンスアンプ53を介して、外部から指定された列アドレスに対応するメモリセルアレイ51の列が選択される。この列デコーダ59によって選択されるメモ

4

リセルアレイ51の列は、正規のメモリセル領域51a内にある。

【0018】冗長列ドライバ60は、冗長信号RSとパルス信号ATD2とに従って活性化し、冗長なメモリセル領域51bの列（1組のビット線対BL、バーBL）を選択する。すなわち、冗長列ドライバ60は、HまたはLのいずれか一方のレベルの冗長信号RSが入力されると活性スタンバイ状態になり、その後、パルス信号ATD2が入力された時点で活性化する。そして、冗長列ドライバ60は、活性化すると、冗長列選択線RCSLをHレベルにする。すると、その冗長列選択線RCSLに接続されているトランスファークゲート56bがオン状態となる。従って、トランスファークゲート56bに接続されたセンスアンプ53bを介して、冗長なメモリセル領域51bの列が選択される。

【0019】但し、冗長列ドライバ60が活性スタンバイ状態になる冗長信号RSのレベルは、列デコーダ59のそれとは異なる。スベアデコーダ63から出力されるHまたはLのいずれかのレベルの冗長信号RSに対して、列デコーダ59または冗長列ドライバ60のいずれか一方だけが活性スタンバイ状態になる。そして、活性スタンバイ状態になった列デコーダ59または冗長列ドライバ60が、パルス信号ATD2によって活性化される。

【0020】以下、説明を分かりやすくするため、列デコーダ59はLレベルの冗長信号RSによって活性スタンバイ状態になり、冗長列ドライバ60はHレベルの冗長信号RSによって活性スタンバイ状態になるものとする。

【0021】次に、このように構成されたDRAMの読み出し動作について説明する。前記したように、不良なメモリセル52があった場合、その不良なメモリセル52の列アドレスはスベアデコーダ63に記憶されている。

【0022】メモリセルアレイ51の所定のアドレスに記憶されているデータを読み出すためには、まず、その行アドレスと列アドレスとが外部から指定される。外部から行アドレスが指定されると、その行アドレスは、行アドレスバッファ55から行デコーダ54へ与えられる。そして、行デコーダ54によって、その行アドレスに対応するワード線WLが選択される。ワード線WLが選択されることにより、各メモリセル52が選択される。すると、その各メモリセル52に記憶されていたデータは、ビット線BLまたは反転ビット線バーBLへ転送される。

【0023】各センスアンプ53、53bは、各メモリセル52が接続されているビット線BLと対になっている反転ビット線バーBLをリファレンスとして、ビット線対BL、バーBLをセンスし、ビット線BLへ転送されたデータを増幅する。

【0024】外部から列アドレスが指定されると、その列アドレスは、列アドレスバッファ61から列デコーダ

5

59, ATD62およびスベアデコーダ63へ与えられる。ATD62は、列アドレスの変化によって外部から列アドレスが指定されたことを検知し、1パルスのパルス信号ATD1を生成してスベアデコーダ63および遅延回路64へ出力する。

【0025】スベアデコーダ63は、パルス信号ATD1が10 入力されると活性化し、記憶している不良なメモリセル52の列アドレスと外部から指定された列アドレスとを比較する。そして、スベアデコーダ63は、両列アドレスが一致すると、Hレベルの冗長信号RSを生成して列デ

コード59および冗長列ドライバ60へ出力する。
【0026】このとき、正規のメモリセル領域51a内に不良なメモリセル52がない場合や、不良なメモリセル52の列アドレスと外部から指定された列アドレスとが異なる場合、スベアデコーダ63から出力される冗長信号RSはLレベルになる。一方、不良なメモリセル52の列アドレスが外部から指定された場合、スベアデコーダ63から出力される冗長信号RSはHレベルになる。

【0027】冗長信号RSがLレベルの場合、列デコード59は活性スタンバイ状態になり、冗長列ドライバ6020 は活性スタンバイ状態にならない。遅延回路64は、パルス信号ATD1を所定の時間だけ遅延させた1パルスのパルス信号ATD2を生成して列デコード59および冗長列ドライバ60へ出力する。

【0028】冗長列ドライバ60は、活性スタンバイ状態になっていないため、パルス信号ATD2が入力されても活性化しない。一方、列デコード59は、活性スタンバイ状態になっているため、パルス信号ATD2が入力された時点で活性化する。

【0029】列デコード59は、活性化すると、外部から30 指定された列アドレスに対応する列選択線CSLを選択し、その列選択線CSLをHレベルにする。すると、その列選択線CSLに接続されているトランスファークゲート56がオン状態になる。従って、そのトランスファークゲート56に対応するセンスアンプ53を介して、外部から指定された列アドレスに対応するメモリセルアレイ51の列が選択される。その選択されたメモリセルアレイ51の列は、正規のメモリセル領域51a内にある。

【0030】このように、外部から指定された行アドレスおよび列アドレスに対応したメモリセルアレイ5140 の行（ワード線WL）および列（ビット線対BL、バーBL）が選択されることにより、データを読み出した所定のアドレスに対応する1つのメモリセル52が選択される。その選択されたメモリセル52のデータだけが、センスアンプ53からオン状態になっているトランスファークゲート56を介して入出力線I/Oおよび反転入出力線バーI/Oへ転送される。そのデータは、リードアンプ57からデータバスDBおよび反転データバスバーDBを介してデータの出力回路58へ転送され、出力回路58から外部へ出力される。

6

【0031】このように、冗長信号RSがLレベルの場合には、列デコード59が活性化し、外部から指定された行アドレスおよび列アドレスに対応する正規のメモリセル領域51a内のメモリセル52が選択され、そのメモリセル52からデータが読み出される。

【0032】正規のメモリセル領域51a内に不良なメモリセル52がない場合や、不良なメモリセル52の列アドレスと外部から指定された列アドレスとが異なる場合には、正規のメモリセル領域51aに対して通常のアクセスが行われ、データが読み出される。

【0033】次に、冗長信号RSがHレベルの場合について説明する。冗長信号RSがHレベルの場合、冗長列ドライバ60は活性スタンバイ状態になり、列デコード59は活性スタンバイ状態にならない。

【0034】遅延回路64は、前記と同様にパルス信号ATD2を生成して列デコード59および冗長列ドライバ60へ出力する。列デコード59は、活性スタンバイ状態になっていないため、パルス信号ATD2が入力されても活性化しない。一方、冗長列ドライバ60は、活性スタンバイ状態になっているため、パルス信号ATD2が入力された時点で活性化する。

【0035】冗長列ドライバ60は、活性化すると、冗長列選択線RCSLをHレベルにする。すると、トランスファークゲート56bがオン状態になる。従って、トランスファークゲート56bに接続されたセンスアンプ53bを介して、冗長なメモリセル領域51bの列が選択される。

【0036】このように、外部から指定された行アドレスに対応したメモリセルアレイ51の行（ワード線WL）が選択される。しかし、正規のメモリセル領域51aの列は選択されず、代わりに、冗長なメモリセル領域51bの列が選択される。これにより、冗長なメモリセル領域51b内にある1つのメモリセル52が選択される。

【0037】その選択されたメモリセル52のデータだけが、センスアンプ53bからオン状態になっているトランスファークゲート56bを介して入出力線I/Oおよび反転入出力線バーI/Oへ転送される。そのデータは、前記と同様に、出力回路58から外部へ出力される。

【0038】このように、冗長信号RSがHレベルの場合には、冗長列ドライバ60が活性化し、外部から指定された行アドレスに対応する冗長なメモリセル領域51b内のメモリセル52が選択され、そのメモリセル52からデータが読み出される。つまり、外部から指定された列アドレスが不良なメモリセル52の列アドレスであった場合には、冗長なメモリセル領域51bに対してアクセスが行われ、データが読み出される。

【0039】すなわち、不良なメモリセル52の列アドレスが外部から指定された場合には、正規のメモリセル領域51aの列の代わりに冗長なメモリセル領域51bの列が選択されることにより、不良アドレスの救済が行

7

われる。

【0040】尚、DRAMの書き込み動作においても、不良なメモリセル52の列アドレスが外部から指定された場合には、上記の読み出し動作と同様にして、不良アドレスの救済が行われる。

【0041】

【発明が解決しようとする課題】ところで、上記した従来のDRAMにおいて、遅延回路64を設けている理由は、列デコード59と冗長列ドライバ60とが同時に活性化することを防止するためである。

【0042】以下、遅延回路64を省いた場合におけるDRAMの読み出し動作について考えてみる。この場合には、ATD62からのパルス信号ATD1が列デコード59および冗長列ドライバ60に直接入力されることになる。また、スベアデコード63は、パルス信号ATD1が入力されると活性化して、外部から指定された列アドレスに基づくHまたはLのいずれかのレベルの冗長信号RSを生成する。そのため、列デコード59および冗長列ドライバ60には、まず、パルス信号ATD1が入力され、その後、外部から指定された列アドレスに基づく冗長信号RSが入力されることになる。

【0043】しかし、スベアデコード63から出力される冗長信号RSのレベルはHまたはLのいずれかしかないため、外部から列アドレスが指定される依然の初期状態においても、冗長信号RSのレベルはHまたはLのいずれかになっていると考えられる。

【0044】例えば、初期状態において冗長信号RSがHレベルになっていたとする。すると、その初期状態において、冗長列ドライバ60は活性スタンバイ状態になっており、列デコード59は活性スタンバイ状態になっていない。そのため、ATD62からパルス信号ATD1が出力された時点で、まず、活性スタンバイ状態になっている冗長列ドライバ60が活性化する。続いて、パルス信号ATD1によって活性化したスベアデコード63により、外部から指定された列アドレスに基づくLレベル（初期状態とは逆のレベル）の冗長信号RSが生成されたとする。すると、既にパルス信号ATD1が入力されている列デコード59は、Lレベルの冗長信号RSが入力された時点で、活性スタンバイ状態を飛び越えていきなり活性化してしまう。このとき、冗長列ドライバ60も既に活性化しているため、列デコード59と冗長列ドライバ60とが同時に活性化することになる。

【0045】反対に、初期状態において冗長信号RSがLレベルになっていたとする。すると、その初期状態において、列デコード59は活性スタンバイ状態になっており、冗長列ドライバ60は活性スタンバイ状態になっていない。そのため、ATD62からパルス信号ATD1が出力された時点で、まず、活性スタンバイ状態になっている列デコード59が活性化する。続いて、パルス信号ATD1によって活性化したスベアデコード63により、外部

8

から指定された列アドレスに基づくHレベル（初期状態とは逆のレベル）の冗長信号RSが生成されたとする。すると、既にパルス信号ATD1が入力されている冗長列ドライバ60は、Hレベルの冗長信号RSが入力された時点で、活性スタンバイ状態を飛び越えていきなり活性化してしまう。このとき、列デコード59も既に活性化しているため、列デコード59と冗長列ドライバ60とが同時に活性化することになる。

【0046】このように、遅延回路64を設けない場合には、外部から指定された列アドレスに基づいて生成された冗長信号RSのレベルが初期状態のそれとは逆のレベルであったとき、列デコード59と冗長列ドライバ60とが同時に活性化してしまう。

【0047】列デコード59と冗長列ドライバ60とが同時に活性化すると、正規のメモリセル領域51a内のメモリセル2と、冗長なメモリセル領域51b内のメモリセル52とが2重に選択されることになる。すると、その2重に選択された各メモリセル52に記憶されていた各データが、入出力線I/Oおよび反転入出力線バーI/Oへ転送される。しかし、入出力線I/Oおよび反転入出力線バーI/Oには、1つのデータだけしか存在することができない。従って、入出力線I/Oおよび反転入出力線バーI/Oでは、2つのデータが互いに破壊し合うデータ破壊が起こる。その結果、リードアンプ57には所望のデータが転送されず、その所望のデータを出力回路58から外部へ出力することもできなくなる。

【0048】そこで、遅延回路64を設けることにより、パルス信号ATD1を所定の時間だけ遅延させたパルス信号ATD2を生成し、列デコード59と冗長列ドライバ60とが同時に活性化することを防止しているわけである。すなわち、遅延回路64によるパルス信号ATD2の出力タイミングは、外部から指定された列アドレスに基づく冗長信号RSがスベアデコード63から出力された後になるように設定されている。つまり、遅延回路64は、スベアデコード63の動作時間（パルス信号ATD1によって活性化してから、外部から指定された列アドレスに基づく冗長信号RSを生成するまでの時間）分だけ、パルス信号ATD2を遅らせている。これにより、正規のメモリセル領域51a内のメモリセル52と、冗長なメモリセル領域51b内のメモリセル52とが2重に選択されることがなくなり、入出力線I/Oおよび反転入出力線バーI/Oにおけるデータ破壊を回避することができる。

【0049】しかし、遅延回路64を設けると、データの読み出しに要するアクセス時間が増大し、半導体装置における情報処理の高速化が阻害されるという問題が生じる。

【0050】また、スベアデコード63において冗長か非冗長かを判定する動作（冗長信号RSを生成する動作）には、大きな消費電力を要するという問題もある。これは、スベアデコード63内に多数設けられた不揮発性素

子のうちオン状態にあるもの（不揮発性素子としてヒューズ素子を用いる場合は切断されていないもの）全てに電流を流すことにより、冗長か非冗長かを判定しているからである。

【0051】ところで、図6に示すDRAMでは冗長なメモリセル領域51bに冗長な列が1本しか設けられていないため、正規のメモリセル領域51aに不良なメモリセル52を含む列が2本以上ある場合、1本の列については不良アドレスの救済がなされないことになる。このような問題は冗長な列を多数設ければ回避することができるが、冗長な列をあまり増加させても、チップの面積が増加するためにかえって歩留りが悪化することになる。

【0052】また、DRAMによらず半導体記憶装置では、一般に、メモリセルアレイが複数のブロック（マクロブロック）に分割されている。そのため、不良なメモリセルの分布具合によっては、不良なメモリセルがなく救済する必要がないブロックと、不良なメモリセルが多すぎて救済不可能なブロックとが生じる。

【0053】例えば、図11に示す16MビットDRAM100について考えてみる。16MビットDRAM100は、4つの4Mビットブロック101～104によって構成されている。そして、各ブロック101～104毎に上記実施形態の回路が組み込まれており、各ブロック101～104で個別に不良アドレスの救済が行われる。従って、不良なメモリセルの分布具合により、各ブロック101～104のうち、例えば、ブロック103にだけ救済不可能な不良なメモリセルが存在し、残りの3つのブロック101、102、104においては不良なメモリセルが全て救済可能である、といったことも起こりえる。こうした場合には、ブロック103だけが不良なために、16MビットDRAM100全体が不良になってしまう。

【0054】このように、半導体記憶装置内の複数のブロックにおいて、一部のブロックのみが救済不可能であるために、他のブロックが救済可能であるにも関わらず、そのチップが不良となり歩留りが悪化するという問題があった。

【0055】本発明は上記問題点を解決するためになされたものであり、その目的は、歩留りを向上させることが可能な記憶装置を提供することにある。

【0056】

【課題を解決するための手段】請求項1に記載の発明は、ウェハ上に配置された隣合う任意の数のマクロブロックを組み合わせることで所定の記憶容量を得ることをその要旨とする。

【0057】このようにすれば、救済可能なマクロブロックだけを組み合わせることで所定の記憶容量の記憶装置を得ることができるため、歩留りを向上させることができる。また、救済不可能なマクロブロックがある場合

には、各マクロブロックを切り離して、救済可能なマクロブロックだけを製品化することができる。

【0058】請求項2に記載の発明は、ウェハ上に配置された隣合う任意の数のマクロブロックを組み合わせることで所定の記憶容量を得ると共に、組み合わせる各マクロブロック間を予め配線で接続しておくことをその要旨とする。

【0059】このようにすれば、請求項1に記載の発明の作用および効果に加えて、各マクロブロック間を組み立て段階で接続する必要がなくなり製造が容易になる。請求項3に記載の発明は、ウェハ上に配置された隣合う任意の数のマクロブロックを組み合わせることで所定の記憶容量を得ると共に、組み合わせる各マクロブロック間でパッドまたは周辺回路の少なくとも一部を共有化させておくことをその要旨とする。

【0060】このようにすれば、請求項1に記載の発明の作用および効果に加え、それぞれのマクロブロック毎にパッドや周辺回路を設ける場合に比べて、ウェハ上の専有面積を少なくして高集積化を図ることができる。

【0061】

【発明の実施の形態】以下、本発明を冗長な列をもつDRAMに具体化した一実施形態を図1～図3に従って説明する。尚、本実施形態において、図6に示した従来例と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0062】図1は、本実施形態の基本構成を示すブロック回路図である。本実施形態において従来例と異なるのは以下の点である。

〔1〕従来例の列デコーダ59が、本実施形態では列デコーダCDに置き換えられている。

【0063】〔2〕従来例の冗長列ドライバ60が、本実施形態では冗長列デコーダRCDに置き換えられている。尚、DRAMが形成される半導体基板（チップ）上において、冗長列デコーダRCDは列デコーダCDよりも列アドレスバッファ61の近くに配置されている。

【0064】〔3〕外部から指定された列アドレスは、列アドレスバッファ61から列アドレスバスCABを介して列デコーダCDおよび冗長列デコーダRCDへ与えられる。

【0065】〔4〕従来例のATD62、スベアデコーダ63、遅延回路64は、本実施形態では省かれている。列デコーダCDは、メモリセルアレイ51の列（1組のビット線対BL、バーBL）に対応してそれぞれ設けられた各列デコーダCD1～CDN（CD1、CD2、CD3…CDn、CDn+1…CDN-1、CDN）によって構成されている。各列デコーダCD1～CDNの内部構成は同一であり、各列デコーダCD1～CDN内にはそれぞれスベアデコーダ1が設けられている。

【0066】各スベアデコーダ1内にはヒューズ素子等の不揮発性の素子が設けられており、その不揮発性素子

11

によって、その列デコーダCD1～CDNに対応するメモリセルアレイ51の列に接続されるメモリセル52が不良かどうか記憶されている。DRAMのメーカは、DRAMの出荷前に、正規のメモリセル領域51a内に不良なメモリセル52があるかどうかを検査する。そして、DRAMのメーカは、不良なメモリセル52があった場合には、その不良なメモリセル52に対応する列デコーダCD1～CDN内のスベアデコーダ1の不揮発性素子を常時オフ状態にさせる（不揮発性素子としてヒューズ素子を用いる場合は切断しておく）。その結果、不良なメモリセル52に対応する列デコーダCD1～CDNは、外部から指定された列アドレスに関係なく常時非活性状態になる。

【0067】すなわち、対応するメモリセルアレイ51の列に1つでも不良なメモリセル52を含む列デコーダCD1～CDN（以下、不良列デコーダCD1～CDNという）は、外部から指定された列アドレスに関係なく常時非活性状態になっている。

【0068】一方、対応するメモリセルアレイ51の列に接続される全てのメモリセル52に不良がない列デコーダCD1～CDN（以下、優良列デコーダCD1～CDNという）は、対応する列アドレスが外部から指定されると活性化される。そのため、外部から列アドレスが指定され、その列アドレスが不良なメモリセル52の列アドレスでないならば、その指定された列アドレスに対応した優良列デコーダCD1～CDNが対応するメモリセルアレイ51の列を選択する。すなわち、外部から指定された列アドレスに対応した優良列デコーダCD1～CDNは、接続されている列選択線CSLをHレベルにする。すると、その列選択線CSLに接続されているトランスファークゲート56がオン状態になる。従って、そのトランスファークゲート56に対応するセンスアンプ53を介して、外部から指定された列アドレスに対応するメモリセルアレイ51の列が選択される。この優良列デコーダCD1～CDNによって選択されるメモリセルアレイ51の列は、正規のメモリセル領域51a内にある。

【0069】ところで、スベアデコーダ1は、その列デコーダCD1～CDNが不良か優良かだけを記憶していればよい。そのため、スベアデコーダ1内には1つの不揮発性素子を設けるだけでよく、全ての列アドレスについて記憶しなければならない従来例のスベアデコーダ63に比べて、スベアデコーダ1の回路規模は比較にならないほど小さくなる。従って、各列デコーダCD1～CDN内にスベアデコーダ1を設けても、DRAM全体の回路規模はほとんど増大しない。

【0070】また、スベアデコーダ63は、前記したように、列アドレスが変化する度に冗長か非冗長かを判定する動作を行っている。それに対し、本実施形態ではATD62が省かれており列アドレスの変化を検知することではなく、スベアデコーダ1はスベアデコーダ63のよ

12

うに冗長か非冗長かを判定する動作を行わない。従って、スベアデコーダ1を設ける本実施形態には、スベアデコーダ63に起因する従来例のような消費電力の増大はない。

【0071】冗長列デコーダRCD内にはスベアデコーダ2が設けられている。スベアデコーダ2内にはヒューズ素子等の不揮発性の素子が設けられており、その不揮発性素子によって、不良なメモリセル52の列アドレス（すなわち、不良列デコーダCD1～CDNに対応する列アドレス）が記憶されている。DRAMのメーカは、DRAMの出荷前の検査で不良なメモリセル52があった場合には、その不良なメモリセル52の列アドレスをスベアデコーダ2に記憶させておく。スベアデコーダ2は、外部から指定された列アドレスが不良なメモリセル52の列アドレスであった場合にだけ、冗長列デコーダRCDを活性化させる。

【0072】冗長列デコーダRCDは活性化すると冗長列選択線RCSLをHレベルにする。すると、その冗長列選択線RCSLに接続されているトランスファークゲート56bがオン状態となる。従って、トランスファークゲート56bに接続されたセンスアンプ53bを介して、冗長なメモリセル領域51bの列が選択される。

【0073】ところで、スベアデコーダ2は、不良なメモリセル52の列アドレスだけを記憶していればよく、従来例のスベアデコーダ63に比べて回路規模を小さくすることができる。また、スベアデコーダ2は、スベアデコーダ63のように冗長か非冗長かを判定する動作を行わない。従って、スベアデコーダ2を設ける本実施形態には、スベアデコーダ63に起因する従来例のような消費電力の増大はない。

【0074】但し、スベアデコーダ2は列アドレスを記憶するため、スベアデコーダ1に比べれば回路規模が大きくなる。そのため、列デコーダCDに比べれば冗長列デコーダRCDの回路規模は大きくなり、その結果、冗長列デコーダRCDの内部での信号処理も複雑になる。しかし、チップ上において、冗長列デコーダRCDは列デコーダCDよりも列アドレスバッファ61の近くに配置されている。そのため、列デコーダCDの動作速度（外部から列アドレスが指定されてから列デコーダCDによって列選択線CSLがHレベルにされるまでの時間）に対して、冗長列デコーダRCDの動作速度（外部から列アドレスが指定されてから冗長列デコーダRCDによって冗長列選択線RCSLがHレベルにされるまでの時間）は同等かそれ以上になる。従って、列デコーダCDを用いる場合と冗長列デコーダRCDを用いる場合とで、読み出し動作にアンバランスが生じる恐れはない。尚、そのような読み出し動作のアンバランスは、メモリセルアレイ1の規模がある程度以上大きくななければ起こらない。従って、メモリセルアレイ1の規模が小さい場合には、チップ上において、冗長列デコーダRCDを列ア

13

ドレスバッファ61の近くに必ずしも配置する必要はない。

【0075】このように、本実施形態において、不良列デコーダCD1～CDNは常時非活性状態になっている。そして、優良列デコーダCD1～CDNおよび冗長列デコーダRCDは、対応する列アドレスが外部から指定されたときにだけ活性化するようにになっている。

【0076】そのため、外部から指定された列アドレスが不良なメモリセル52の列アドレスであった場合には、冗長列デコーダRCDが活性化されて冗長なメモリセル領域51bの列が選択される。このとき、外部から指定された列アドレスに対応する列デコーダCD1～CDNは不良列デコーダであるため非活性状態になっており、正規のメモリセル領域51aの列が選択されることはない。従って、正規のメモリセル領域51a内のメモリセル2と、冗長なメモリセル領域51b内のメモリセル52とが2重に選択されることはなく、入出力線I/Oおよび反転入出力線バーI/Oにおけるデータ破壊は起こらない。

【0077】すなわち、外部から指定された列アドレスが不良なメモリセル52の列アドレスであった場合には、不良列デコーダCD1～CDNの代わりに冗長列デコーダRCDが用いられる。つまり、正規のメモリセル領域51aの列の代わりに冗長なメモリセル領域51bの列が選択されることにより、不良アドレスの救済が行われる。

【0078】また、外部から指定された列アドレスが不良なメモリセル52の列アドレスでない場合には、優良列デコーダCD1～CDNによって正規のメモリセル領域51aの列が選択される。このとき、冗長列デコーダRCDは非活性状態になっているため、正規なメモリセル領域51aと冗長なメモリセル領域51bとが2重に選択されることはなく、入出力線I/Oおよび反転入出力線バーI/Oにおけるデータ破壊は起こらない。

【0079】尚、本実施形態において、選択されたメモリセル領域51からデータを読み出す動作については従来例と同じであるため説明を省略する。また、DRAMの書き込み動作においても、不良なメモリセル52の列アドレスが外部から指定された場合には、上記の読み出し動作と同様にして不良アドレスの救済が行われる。

【0080】このように、本実施形態によれば、遅延回路64に起因する従来例のようなアクセス時間の増大を避けることが可能になり、半導体装置における情報処理の高速化を図ることができる。また、本実施形態によれば、スベアデコーダ63に起因する従来例のような消費電力の増大を避けることが可能になり、低消費電力化を図ることができる。

【0081】図2は、各列デコーダCD1～CDNのうちの任意の列デコーダCDnを具体化した一実施形態の回路図である。本実施形態では、アドレスグループA～

14

Cによって列アドレスバスCABが構成されている。そして、アドレスグループAは列アドレスa1～a4、アドレスグループBは列アドレスb1～b4、アドレスグループCは列アドレスc1～c4によってそれぞれ構成されている。つまり、本実施形態では、64組のビット線対BL、バーBLが設けられており、64個の列デコーダCD1～CDN=64が設けられている。各列アドレスa1～c4は、非活性状態でLレベル、活性状態でHレベルになる。また、各アドレスグループA～Cの各アドレスa1～c4のうちで活性化するのは1つのアドレスだけである。

【0082】各列デコーダCD1～CDNには、各アドレスグループA～Cからそれぞれ1つずつの列アドレスa1～c4が組み合わされて接続されている。この列デコーダCDnにおいては、列アドレスa2、b2、c2が組み合わされて接続されている。すなわち、外部から指定された列アドレスのうちで列デコーダCDnに対応する列アドレスは、列アドレスa2、b2、c2の組み合わせで表される。

【0083】列デコーダCDnは、NMOSトランジスタn1～n3、PMOSトランジスタp1～p4、インバータ11、ヒューズ素子F1から構成されており、高電位側電源VCCおよび低電位側電源としてのアースに接続されている。スベアデコーダ1は、NMOSトランジスタn1～n3、PMOSトランジスタp1～p3、ヒューズ素子F1から構成されている。このように構成された列デコーダCDnにおいて、列アドレスa2、b2、c2が全て活性状態(Hレベル)になると、列デコーダCDnは活性化する。すなわち、列アドレスa2、b2、c2が全てHレベルになると、各NMOSトランジスタn1～n3は全てオンし、インバータ11の入力側はヒューズ素子F1およびNMOSトランジスタn1～n3を介してアース側へプルダウンされ、インバータ11の出力側(列選択線CSL)はHレベルになる。

【0084】一方、列アドレスa2、b2、c2のうち少なくともいずれか1つが非活性状態(Lレベル)になっているとき、列デコーダCDnは非活性状態になっている。すなわち、列アドレスa2、b2、c2のうち少なくともいずれか1つがLレベルのときには、PMOSトランジスタp1～p3のうちのいずれか1つがオンし、NMOSトランジスタn1～n3のうちのいずれか1つがオフしているため、インバータ11の入力側はオンしたPMOSトランジスタp1～p3を介して高電位側電源VCC側へプルアップされ、インバータ11の出力側(列選択線CSL)はLレベルになる。

【0085】ここで、ヒューズ素子F1を切断すると、インバータ11およびPMOSトランジスタp4によって列選択線CSLはLレベルにラッチされ、列デコーダCDnは非活性状態のままに保たれる。すると、列デコーダCDnに対応する列アドレスa2、b2、c2が列ア

15

ドレスバスCAB から指定された場合 (a 2, b 2, c 2 が全てHレベル) でも、列選択線CSL はLレベルにラッチされたままとなり、列デコーダCDn の非活性状態は維持される。

【0086】このように、ヒューズ素子F1を切断することにより、外部から指定された列アドレスに関係なく列デコーダCDn を不良列デコーダとして常時非活性状態にさせることができる。

【0087】図3は、冗長列デコーダRCDを具体化した一実施形態の回路図である。冗長列デコーダRCDは、NMOSTランジスタn11, n12, na1~nc4、インバータ12, 13、4入力 NAND14、冗長イネーブルヒューズ素子FR、ヒューズ素子Fa1~Fc4から構成されており、高電位側電源VCCおよび低電位側電源としてのアースに接続されている。スペアデコーダ2は、NMOSTランジスタn11, n12, na1~nc4、インバータ12、冗長イネーブルヒューズ素子FR、ヒューズ素子Fa1~Fc4から構成されている。各NMOSTランジスタna1~nc4および各ヒューズ素子Fa1~Fc4はそれぞれ、各列アドレスa1~c4に対応して設けられている。

【0088】ここで、図2に示す列デコーダCDnにおいてヒューズ素子F1を切断した場合（すなわち、不良列デコーダCDnとした場合）、その不良列デコーダCDnの代わりに冗長列デコーダRCDを活性化させる場合について考えてみる。

【0089】この場合には、不良列デコーダCDnの列アドレスa2, b2, c2をスペアデコーダ2に記憶させればよい。従って、図3に示すように、冗長イネーブルヒューズ素子FRと、各列アドレスa2, b2, c2に対応する各ヒューズ素子Fa2, Fb2, Fc2を除くヒューズ素子Fa1~Fc4とを切断すればよい。

【0090】冗長イネーブルヒューズ素子FRを切断しない場合には、正規のメモリセル領域51a内に不良なメモリセル52がないときに、冗長列デコーダRCDを非活性状態にすることができる。すなわち、冗長イネーブルヒューズ素子FRを切断しないと、インバータ12の入力側は冗長イネーブルヒューズ素子FRを介して高電位側電源VCC側へプルアップされ、インバータ12の出力側（NAND14の入力側）はLレベルになる。そのため、インバータ13の出力側（冗長列選択線RCSL）はLレベルになり、冗長列デコーダRCDは非活性状態のままに保たれる。

【0091】不良列デコーダCDnの列アドレスa2, b2, c2をスペアデコーダ2に記憶させるには、まず、冗長イネーブルヒューズ素子FRを切断すると共に、各ヒューズ素子Fa2, Fb2, Fc2を除くヒューズ素子Fa1~Fc4を切断する。そして、DRAMの電源投入時にNMOSTランジスタn11のゲートにワンショットパルスOSPを投入する。すると、NMOST

16

トランジスタn11がオンしてインバータ12の入力側はアース側へプルダウンされ、インバータ12の出力側はHレベルになってNMOSTランジスタn12がオンする。その結果、NMOSTランジスタn12によってインバータ12の出力側はHレベルにラッチされ、各NMOSTランジスタna1~nc4は全てオンし、冗長列デコーダRCDは活性スタンバイ状態になる。その後、不良列デコーダCDnに対応する列アドレスa2, b2, c2が列アドレスバスCABから指定されると（a2, b2, c2が全てHレベル）、冗長列デコーダRCDは活性化して冗長列選択線RCSLをHレベルにする。

【0092】尚、前記したように、チップ上において、冗長列デコーダRCDは列デコーダCDよりも列アドレスバッファ61の近くに配置されている。そのため、冗長列デコーダRCDにおいては、列アドレスバスCABからの列アドレスa1~c4が、各NMOSTランジスタna1~nc4と各ヒューズ素子Fa1~Fc4とNAND14とを介してメモリセル52へ伝達されるにも関わらず、各列デコーダCD1~CDnに対して同等かそれ以上の動作速度をもつことになる。

【0093】図4は、冗長列デコーダRCDを具体化した別の実施形態の回路図である。尚、図4において、図3に示す冗長列デコーダRCDと同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0094】冗長列デコーダRCDは、NMOSTランジスタna1~nc4、インバータ13、NAND14、ヒューズ回路f1, fa1~fc4から構成されている。スペアデコーダ2は、NMOSTランジスタna1~nc4およびヒューズ回路f1, fa1~fc4から構成されている。各NMOSTランジスタna1~nc4および各ヒューズ回路fa1~fc4はそれぞれ、各列アドレスa1~c4に対応して設けられている。

【0095】図5は、ヒューズ回路f1, fa1~fc4の内部回路図である。図5(a)に示すように、ヒューズ回路f1, fa1~fc4は、NMOSTランジスタn21, n22、インバータ21、ヒューズ素子F2から構成され、高電位側電源VCCおよび低電位側電源としてのアースに接続されている。尚、図4においては、図5(a)に示すヒューズ回路f1, fa1~fc4を図5(b)に示すようにブラックボックス化して表記してある。

【0096】ここで、図2に示す列デコーダCDnにおいてヒューズ素子F1を切断した場合（すなわち、不良列デコーダCDnとした場合）、その不良列デコーダCDnの代わりに冗長列デコーダRCDを活性化させる場合について考えてみる。

【0097】この場合には、不良列デコーダCDnの列アドレスa2, b2, c2をスペアデコーダ2に記憶させればよい。従って、ヒューズ回路f1の内部のヒューズ素子F2と、各列アドレスa2, b2, c2に対応す

17

る各ヒューズ回路 f a 2, f b 2, f c 2 の内部の各ヒューズ素子 F 2 とを切断すればよい。尚、図 5 においては、ヒューズ素子 F 2 を切断するヒューズ回路 f 1, f a 2, f b 2, f c 2 については※印を付してある。

【0098】ヒューズ回路 f 1 のヒューズ素子 F 2 を切断しない場合には、正規のメモリセル領域 5 1 a 内に不良なメモリセル 5 2 がいないときに、冗長列デコーダ R C D を非活性状態にすることができる。すなわち、ヒューズ回路 f 1 のヒューズ素子 F 2 を切断しないと、インバータ 2 1 の入力側はヒューズ素子 F 2 を介して高電位側電源 V C C 側へプルアップされ、インバータ 2 1 の出力側 (N A N D 1 4 の入力側) は L レベルになる。そのため、インバータ 1 3 の出力側 (冗長列選択線 R C S L) は L レベルになり、冗長列デコーダ R C D は非活性状態のま

まに保たれる。

【0099】不良列デコーダ C D n の列アドレス a 2, b 2, c 2 をスペアデコーダ 2 に記憶させるには、まず、ヒューズ回路 f 1 のヒューズ素子 F 2 を切断すると共に、各ヒューズ回路 f 1, f a 2, f b 2, f c 2 の各ヒューズ素子 F 2 を切断する。そして、D R A M の電源投入時に、各ヒューズ回路 f 1, f a 1 ~ f c 4 の各 N M O S トランジスタ n 2 2 のゲートにワンショットパルス O S P を投入する。

【0100】すると、各ヒューズ回路 f 1, f a 2, f b 2, f c 2 において、各 N M O S トランジスタ n 2 2 がオンして各インバータ 2 1 の入力側はアース側へプルダウンされ、各インバータ 2 1 の出力側は H レベルになって各 N M O S トランジスタ n 2 1 がオンする。そのため、各 N M O S トランジスタ n 2 1 によって各インバータ 2 1 の出力側は H レベルにラッチされる。

【0101】その結果、各ヒューズ回路 f a 2, f b 2, f c 2 に接続される各 N M O S トランジスタ n a 2, n b 2, n c 2 がオンし、冗長列デコーダ R C D は活性スタンバイ状態になる。その後、不良列デコーダ C D n に対応する列アドレス a 2, b 2, c 2 が列アドレスバス C A B から指定されると (a 2, b 2, c 2 が全て H レベル)、冗長列デコーダ R C D は活性化して冗長列選択線 R C S L を H レベルにする。

【0102】このように、スペアデコーダ 2 に不良列アドレス C D n を記憶させるに際して、図 3 に示す冗長列デコーダ R C D では 10 本のヒューズ素子を切断するのに対して、図 4 に示す冗長列デコーダ R C D では 4 本のヒューズ素子 F 2 を切断するだけでよい。従って、図 3 に示す冗長列デコーダ R C D に比べて、図 4 に示す冗長列デコーダ R C D では、回路規模が大きくなる反面、D R A M の量産時において不良アドレスの救済に要する T A T (Turn Around Time) を短縮することができる。

【0103】尚、図 1 ~ 図 5 に示した上記実施形態は以下のように変更してもよく、その場合でも同様の作用および効果を得ることができる。

18

(1) 各センスアンプ 5 3, 5 3 a を、クロスカップルラッチ形以外の他の形式 (例えば、カレントミラー形、バイポーラ形、シングルエンド形、等) に置き代える。

【0104】(2) 各トランスファークゲート 5 6, 5 6 b を構成する N M O S トランジスタを P M O S トランジスタに置き代える。この場合は、列選択線 C S L および冗長列選択線 R C S L を L レベルにすれば、各トランスファークゲート 5 6, 5 6 b をオン状態にすることができる。

【0105】(3) 冗長なメモリセル領域 5 1 b に 2 組以上のビット線対 B L, バー B L を割り当てる。すなわち、冗長な列を 2 本以上備えるようにする。

(4) ヒューズ素子 F 1, ヒューズ素子 F a 1 ~ F c 4, 冗長イネーブルヒューズ素子 F R を、他の不揮発性素子 (E E P R O M (Electrically Erasable and Programmable Read Only Memory)、M N O S (Metal Nitride Oxide Semiconductor)、M A O S (Metal Alumina Oxide Semiconductor)、M A S (Metal Alumina Semiconductor)、F A M O S (Floating gate Avalanche injection MOS)、S A M O S (Stacked Gate Avalanche injection MOS)、等) に置き代える。

【0106】(5) 冗長な列ではなく冗長な行をもつ D R A M に適用する。また、冗長な列および行をもつ D R A M に適用する。

(6) S R A M (Static Random Access Memory) や R O M (Read Only Memory) における冗長回路技術に適用する。

【0107】ところで、上記実施形態では冗長なメモリセル領域 5 1 b に冗長な列が 1 本しか設けられていないため、正規のメモリセル領域 5 1 a に不良なメモリセル 5 2 を含む列が 2 本以上ある場合、1 本の列については不良アドレスの救済がなされないことになる。このような問題は冗長な列を多数設ければ回避することができるが、冗長な列をあまり増加させても、チップの面積が増加するためにかえって歩留りが悪化することになる。

【0108】以下、本発明を D R A M に具体化した一実施形態を図 7 ~ 図 10 に従って説明する。図 7 (a) にウェハ 1 1 0 における 16 M ビット D R A M 1 1 1 の配置を示し、図 7 (b) に 16 M ビット D R A M 1 1 1 を示す。16 M ビット D R A M 1 1 1 は、隣合う 4 つの 4 M ビットブロック (4 M ビット D R A M、4 M ビットマクロブロック) 1 2 1 ~ 1 2 4 によって構成されている。そして、各ブロック 1 2 1 ~ 1 2 4 毎に上記実施形態の回路が組み込まれており、各ブロック 1 2 1 ~ 1 2 4 で個別に不良アドレスの救済が行われる。

【0109】各ブロック 1 2 1 ~ 1 2 4 が全て救済可能 (良品) であった場合には、実線 a で切り離し、各ブロック 1 2 1 ~ 1 2 4 における入出力 (I/O) パッド (図示略) 以外のパッド (図示略) を組み立て段階で接続する。これにより、各ブロック 1 2 1 ~ 1 2 4 を組み合わせた 16 M ビット D R A M 1 1 1 として製品化すること

19

ができる。この場合、各ブロック121~124を×4構成とすれば、16MビットDRAM111は×16構成となる。また、各ブロック121~124において、CASVパッドおよびWEVパッドを独立で動かせるようにすれば、バイトオペレーションにも対応することができる。

【0110】一方、各ブロック121~124の中に救済不可能なブロックがあった場合には、点線βで切り離し、救済可能なブロックだけを4MビットDRAMとして製品化することができる。

【0111】尚、図8に示すように、I/Oパッド131以外の各パッド132を配置し、その各パッド132を配線(メタル配線、ポリシリコン配線など)Mで予め接続しておけば、上記したように、各パッド132を組み立て段階で接続する必要がなくなり製造が容易になる。この場合にも、点線βで切り離せば配線Mも切り離されるため、各ブロック121~124の中から救済可能なブロックだけを4MビットDRAMとして製品化することができる。

【0112】また、図9に示すように、高電位側電源VCCとアース間に接続された高抵抗Rとヒューズ素子fとからなる回路を設け、点線β上にヒューズ素子fを配置しておくことも考えられる。この場合、実線αで切り離して16MビットDRAM111として製品化する際には信号A、BがHレベルになり、点線βで切り離して各ブロック121~124を4MビットDRAMとして製品化する際には信号A、BがLレベルになる。従って、信号A、BによってDRAMの仕様(リフレッシュ、動作モード、電源電圧、等)が切り替わるように予め設計しておけば、16MビットDRAM111と4MビットDRAM(121~124)とで仕様を変えることができる。

【0113】また、図10に示すように、隣合う2つの4Mビットブロック121、122によって8MビットDRAM151を構成する。そして、各ブロック121、122間にI/Oパッド(図示略)以外の各パッド144を配置し、その各パッド144を配線Mで予め接続しておく。また、各ブロック121、122間に周辺回路143を配置し、その周辺回路143と各ブロック121、122間を配線Mで予め接続しておく。この場合、図8に示すDRAMと異なるのは、2つのブロック121、122間で各パッド144および周辺回路143が共有化されている点である。そして、両ブロック121、122が共に救済可能であった場合には実線αで切り離すことで、8MビットDRAM151を製品化する。また、ブロック121だけが救済不可能であった場合は点線β1で切り離し、ブロック122だけが救済不可能であった場合は点線β2で切り離すことで、一方のブロック121、122だけを4MビットDRAMとして製品化する。このように、2つのブロック121、1

20

22間で各パッド144および周辺回路143を共有化すれば、それぞれのブロック121、122毎にパッドや周辺回路を設ける場合に比べて、ウェハ110上の専有面積を少なくして高集積化を図ることができる。

【0114】このように、半導体記憶装置の各ブロック毎を、半導体記憶装置として独立して機能するように設計しておくことで、ウェハ上の無駄な部分が減って製造コストの削減が可能になる。また、同一ウェハで複数の異なる容量の半導体記憶装置を同時に製造できるため、市場の動向に臨機応変に対応することができる。そして、4MビットDRAM(121~124)を設計するだけで16MビットDRAM111や8MビットDRAM151が設計できるように、複数の異なる容量の半導体記憶装置を同時に設計できるため、設計期間を短縮化することができる。さらに、DRAMにおいては、バイトオペレーションなどの多品種展開が可能になる。

【0115】尚、図7および図8では1つのDRAMを4つに分割する例を示し、図10では1つのDRAMを2つに分割する例を示したが、1つのDRAMを3つあるいは5つ以上に分割するようにしてもよい。また、4つの4MビットDRAMによって1つの16MビットDRAMを構成するのではなく、4つの256MビットDRAMによって1つの1GビットDRAMを構成するようにしてもよい。さらに、図10に示す例において、各パッド144および周辺回路143の全部を各ブロック121、122間で共有化させるのではなく、各パッド144および周辺回路143の一部のみを共有化させるようにしてもよい。加えて、DRAMに限らず半導体記憶装置全般に適用してもよく、半導体記憶装置に限らず記憶装置全般に適用してもよい。

【0116】

【発明の効果】以上詳述したように本発明によれば、歩留りを向上させることが可能な記憶装置を提供することができる。

【図面の簡単な説明】

【図1】一実施形態のブロック回路図。

【図2】一実施形態の要部回路図。

【図3】一実施形態の要部回路図。

【図4】一実施形態の要部回路図。

【図5】一実施形態の要部回路図。

【図6】従来例のブロック回路図。

【図7】一実施形態のブロック構成図。

【図8】一実施形態のブロック構成図。

【図9】一実施形態のブロック構成図。

【図10】一実施形態のブロック構成図。

【図11】従来例のブロック構成図。

【符号の説明】

110…ウェハ

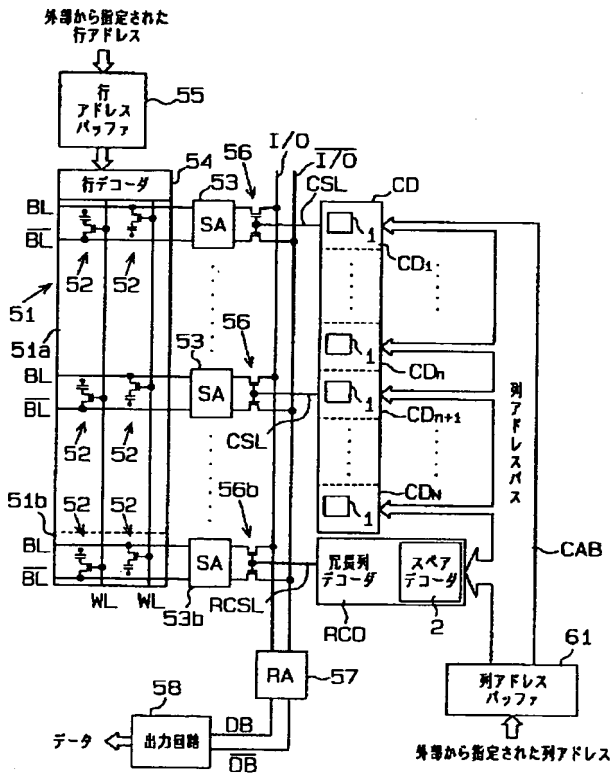
121~124…マクロブロック

143…周辺回路

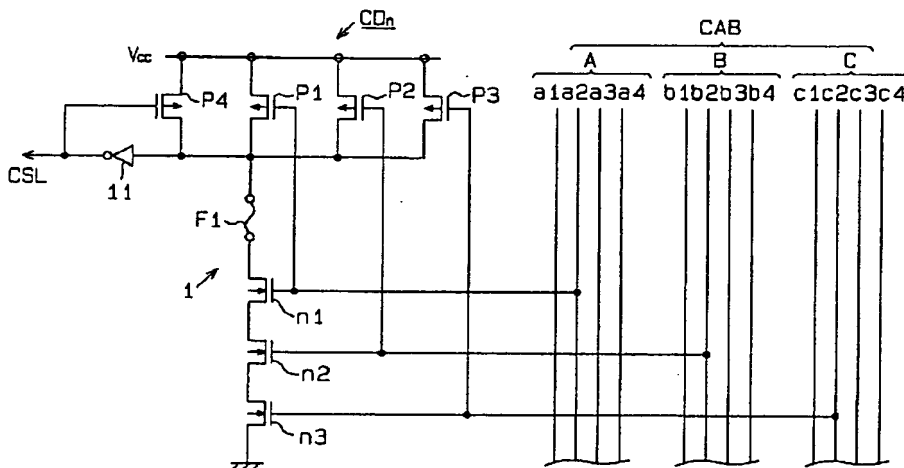
1 4 4 ...ノパッド

* *M...配線

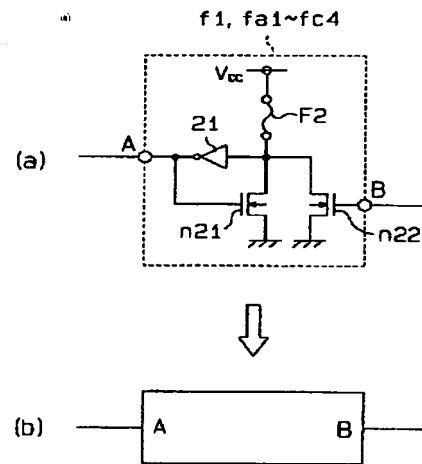
【図 1】



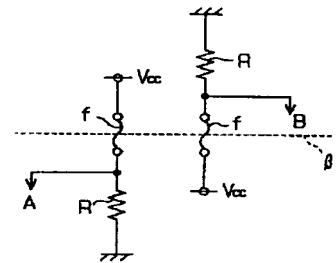
【図 2】



【図 5】

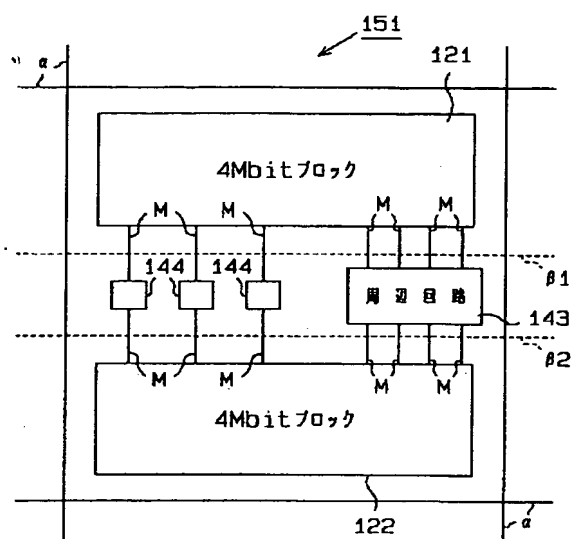


【図 9】

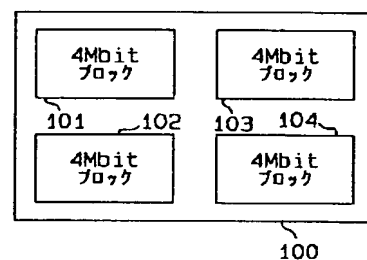


The diagram illustrates a 4x4 crossbar switch circuit. It features a grid of 12 transistors (n1-n12) arranged in 4 rows and 3 columns. The gates of these transistors are controlled by 12 gates (Fa1-Fa4, Fb1-Fb4, Fc1-Fc4). The gates are driven by signals RCD, RCDL, and RCDL through inverters and a NAND gate. The output lines are labeled A, B, and C, with sub-lines a1a2a3a4, b1b2b3b4, and c1c2c3c4. A feedback loop is shown with a resistor FR and a capacitor C.

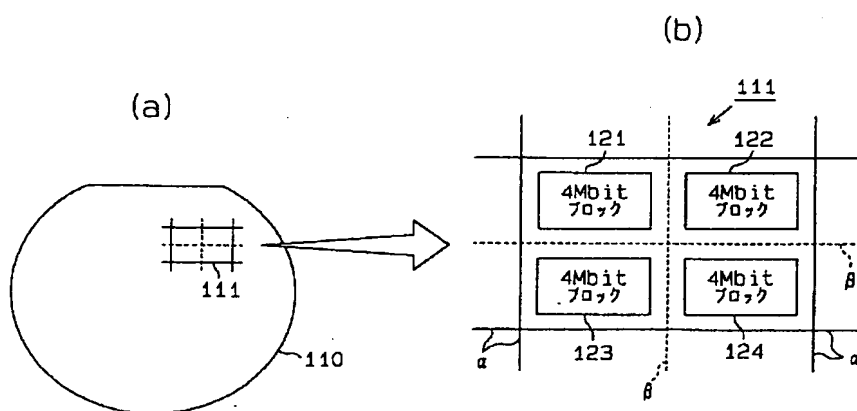
【図 10】



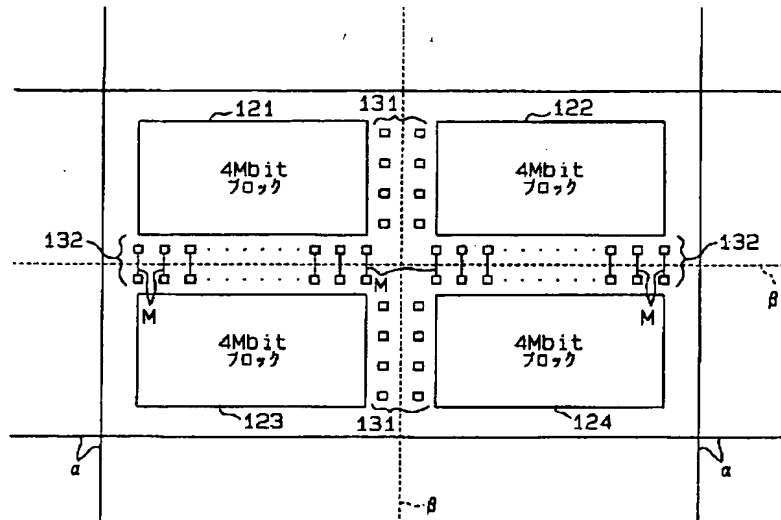
【图 1 1】



【図 7】



【図 8】



THIS PAGE BLANK (USPTO)